

基于信号跳变时间可调整的容错路由器

张颖¹, 江建慧¹, 李华伟², 李晓维²

(1. 同济大学 软件学院, 上海 201804; 2. 中国科学院计算技术研究所, 北京 100190)

摘要: 设计了一种基于信号跳变时间可调整(STTA)的片上网络容错路由器。首先, 这种路由器能够准确预测总线的串扰故障, 并通过错开信号跳变的方法容忍总线的串扰故障。然后, 为了容忍寄存器上的单事件翻转(SEU), 路由器中所有的寄存器被替换成双内锁单元(DICE)。结果表明: 基于 STTA 的路由器仅需在普通路由器上增加 46% 的面积开销和 70% 的功耗开销, 就能容忍总线上串扰导致的故障和寄存器上的 SEU。与基于 TS-HC-TMR 和 SCAC-TMR 方法的容错路由器相比, 基于 STTA 的路由器至少减少了 93% 的面积和 55% 的功耗开销, 有效地解决了容错路由器开销过大的问题。

关键词: 容错路由器; 信号跳变时间可调整(STTA); 总线串扰效应; 单事件翻转(SEU); 双内锁单元(DICE)

中图分类号: TP303

文献标志码: A

Reliable Router Based on Signal Transition Time Adjustment

ZHANG Ying¹, JIANG Jianhui¹, LI Huauei², LI Xiaowei²

(1. School of Software Engineering, Tongji University, Shanghai 201804, China; 2. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: In this paper, a selected transition time adjustment (STTA)-based router is designed for the reliable network-on-chip. The router can predict crosstalk-induced faults on interconnects accurately and tolerate these faults through staggering the signal transition time. Then a dual interlocked cell (DICE) is used to preserve all registers in the router from single event upset (SEU). The results show that the router can tolerate large crosstalk-induced faults and SEU with only extra 46% area overhead and 70% power dissipation of a normal router. Compared with TS-HC-TMR and SCAC-TMR based router, the router saves 93% area and 55% power overhead at least, which solves the huge overhead problem for

reliable network-on-chip (NOC) routers effectively.

Key words: reliable router; selected transtion time adjustment (STTA); crosstalk on interconnect; single event upset (SEU); dual interlocked cell (DICE)

随着集成电路工艺进入纳米级, 芯片中长互连线的截面尺寸迅速收缩, 但是长度却基本保持不变, 使得连线电阻显著提升, 进而导致大量的导线时延。目前, 在不降级系统性能的前提下, 已经难以通过改进工艺的方式, 解决这种导线时延问题。而且, 长互连线引入了大量的功耗开销, 也成为了芯片设计的沉重负担。因此, 片上互连线已经成为了芯片设计的瓶颈^[1], 依赖总线通信的传统体系结构框架面临严峻挑战。为了缓解片上互连的制约, 研究者提出了基于包传递的片上网络(network-on-chip, NOC)作为下一代处理器的基础架构^[2]。

但是, 由于寄生元件作用日益显著, 致使这种新型架构中输入信号在输出端得不到正确响应, 从而产生严重的信号完整性问题^[3]。其中, 最典型的就是串扰效应。原本相互独立的两根长导线, 由于导线间距的收缩, 构成了平行板电容, 它们的信号也就开始相互影响, 这种现象被称为串扰效应^[4]。由于串扰效应导致的大时延使原本严重的导线时延加倍, 直接影响了片上网络的性能, 因此它成为片上网络设计中需要考虑的关键因素^[5]。

同时, 单事件翻转(single event upset, SEU)^[6]导致的软错误也直接危害片上网络的正常工作。芯片封装层中放射性物质发出的射线和电子噪声会撞击到集成电路系统中的存储单元, 从而改变这些单元的存储信息, 形成信号翻转, 导致软错误。以往这

收稿日期: 2013-10-25

基金项目: 国家自然科学基金(61432017, 61404092); 中央高校基本科研业务费专项资金(2013KJ036); 计算机体系结构国家重点实验室开放课题

第一作者: 张颖(1984—), 男, 讲师, 工学博士, 主要研究方向为集成电路容错与测试。E-mail: zhangying@ict.ac.cn

通讯作者: 江建慧(1964—), 男, 教授, 博士生导师, 工学博士, 主要研究方向为软件可靠性、VLSI/SoC 测试与容错。

E-mail: jhjiang@tongji.edu.cn

种故障的发生概率低,但是随着工艺的提升,存储单元的密度显著增大,单事件翻转的发生概率也显著提升.防护单事件翻转导致的软错误,已经成为了国际上的研究热点.总而言之,互连线上的串扰故障和寄存器上的 SEU 是制约片上网络设计和测试的关键因素.

针对串扰效应和软错误的容错路由器的面积和功耗开销过大,本文提出了一种基于信号跳变时间可调整(selected transition time adjustment, STTA)^[7]方法的容错路由器设计方法.这种路由器能够准确预测总线的串扰故障,通过错开信号跳变的方法容忍总线的串扰故障,同时将路由器中所有的寄存器替换成双内锁单元(dual interlocked cell, DICE)^[8],来容忍寄存器中的 SEU.相对于已有方法,本方法将显著减少容错所需要的面积开销和功耗开销.

1 片上网络路由器简介

本文采用了一种基于包传输的片上网络互连结构^[9],它建立在虫洞交换方法和基于源的确定型轮转路由方法的基础上.如图 1 所示,这种路由器通常包含 5 个 I/O 端口(L, E, S, W, N)和 1 个交换控制单元,其中 1 个端口用于路由器和本地核的通信,剩下的端口用于与相邻路由器之间的通信.在每个 I/O 端口中,输入端口都包含 1 个缓存,用来保存输入数据,以及与其他单元进行握手.如果缓存不为满,那么输入端将会接受任意输入请求.缓存的输出需要与交换控制单元握手,来获得输出通道.

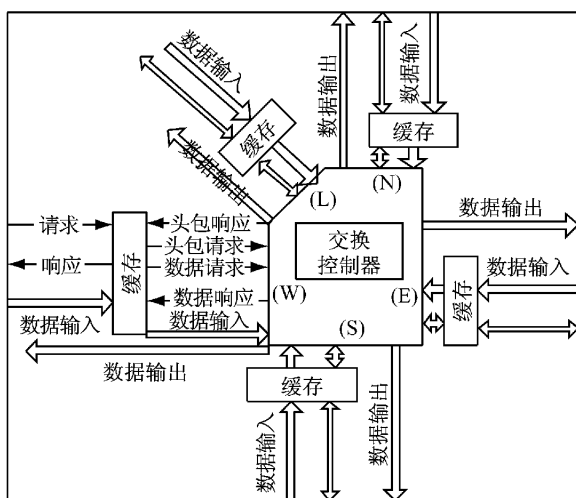


图 1 路由器结构

Fig.1 Framework of the router

在片上网络系统中,长总线常常遭受严重的串

扰效应影响,尤其是串扰效应导致的大时延.同时,SEU 可能导致路由器中的存储单元出现错误的翻转.通道上的串扰错误或数据缓存中 SEU 导致的信号翻转错误可能改变数据包的内容或目标地址,而导致片上网络出现负载错误或包路由错误^[10].当 SEU 导致的错误发生在状态或控制寄存器上时,路由器将不再正常工作,甚至出现崩溃错误.除非重启,否则无法恢复.为了片上网络的可靠运行,容错路由器必须能同时容忍总线上串扰效应导致的错误,以及所有寄存器上可能出现的 SEU 错误.

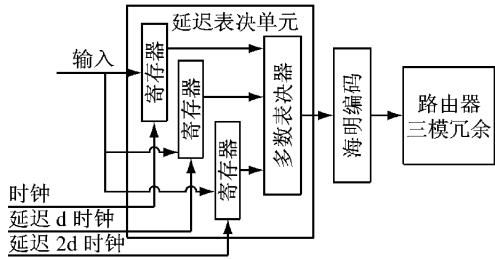
2 针对串扰效应和软错误的片上网络容错路由器

路由器是片上网络的核心部件,为了容忍片上网络中的串扰效应和软错误,研究者设计了多种具备容错能力的路由器.一些研究者提出了采用延迟采样(TS)连同海明编码(Hamming code, HC)和三模冗余(triple modular redundancy, TMR)的方法(TS-HC-TMR)^[10-11]来容忍片上网络中串扰导致的故障和 SEU,如图 2a 所示.其中,TS 是指在总线输出端上,增加 2 组寄存器,在时钟周期后延迟采样 2 次,然后与正常采样得到的值进行表决,这样容忍串扰效应或其他因素导致的错误.在 TS-HC-TMR 容错路由器上,HC 用来保护路由器的数据缓存免受 SEU 的影响,TS 用来处理通道上串扰导致的故障,最后 TMR 用来保护内部寄存器.但是,串扰效应在高速电路中作用显著,而这种设计需要延迟采样信号,加剧了总线上的时延瓶颈,严重地制约系统性能.

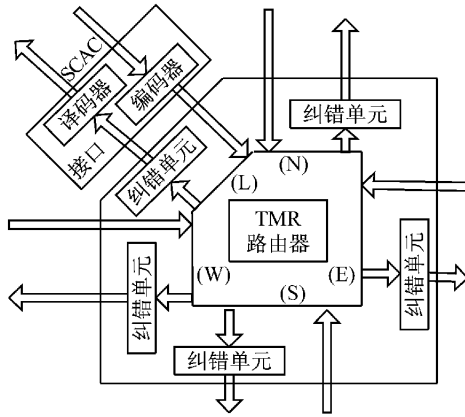
另一种方法 SCAC-TMR^[12-13]是采用基于码字选择的串扰避免编码(selected crosstalk avoidance code, SCAC)连同三模冗余(TMR)的容错方法.其中,SCAC 用于容忍数据通路中的 SEU 和串扰效应,TMR 用于容忍内部寄存器的 SEU,如图 2b 所示.其中,基于码字选择的串扰避免编码^[14]采用从串扰避免编码中选择容错子集合构成同时容忍串扰和提供纠错能力的编码.与前一种方法相比,本方法适用于高速电路,也可以减少面积和功耗开销.但是 SCAC 编码器需要增加额外的导线,而且针对内部寄存器的 SEU 需要采用容错开销较大的三模冗余.

基于上述两种方法的容错路由器的面积和功耗开销都非常大.一方面,针对片上网络串扰效应的容错设计,仅仅是将总线上的容错方法直接照搬到片

上网络.然而,与片上总线相比,片上网络本身具有一些固有特征.如果容错设计能够巧妙利用这些共有特征,那么它在片上网络就可以达到更高的整体性能.另一方面,路由器中寄存器数目庞大,如果采用开销巨大的三模冗余,容错路由器的面积和功耗开销将超过原始路由器的2倍以上.针对软错误,容错路由器需要开销更理想的容错技术.



a TS-HC-TMR 路由器



b SCAC-TMR 路由器

图2 两种容错路由器

Fig.2 Two reliable routers

3 基于 STTA 的容错路由器

为了同时容忍路由器中的串扰效应和 SEU 导致的错误,并且显著地降低容错设计的面积与功耗开销,本文拟引入针对片上网络中串扰效应的容错方法 STTA^[7],提出了基于 STTA 的容错路由器设计方法.如图3所示,这种路由器在原始路由器中的5个端口插入 STTA 容错电路,然后采用 DICE 容错电路加固数据缓存和交换控制器,防止 SEU 导致的软错误.

3.1 STTA 原理简介

STTA 方法^[7]借助了片上网络的固有特征,来容忍长互连线上的串扰效应.它的控制电路非常简单,而且可以不增加额外导线就达到插入屏蔽线才能达到的时延减少效果,因此非常适用于容错路由

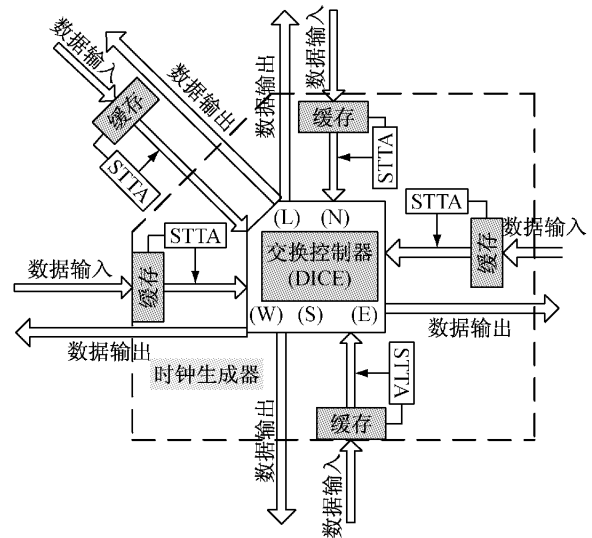


图3 基于 STTA 的容错路由器

Fig.3 STTA-based reliable router

器的设计.

具体而言,片上网络通常采用存储和转发的策略^[15],待发送的信号首先会保存在路由器的缓存中,而已发送的信号并不会立即从已发送寄存器组 (LR) 中删除,导致串扰效应的这种相邻信号组都是已知的.这样,片上网络中潜在的串扰故障就可以预测. STTA 方法将导致串扰故障的关键情况定义为潜在串扰 (crosstalk latency),容错设计只需专门针对如下两项潜在串扰进行设计:

L1. 如果相邻导线上出现反向信号跳变,这两根导线上可能会产生串扰导致的大时延.

L2. 如果中间导线是稳定的信号 0 (信号 1),而且它的相邻导线都出现上升信号跳变 (下降信号跳变),那么中间导线上可能会出现串扰导致的尖峰故障.

通过分析已发送和待发送的向量,片上网络路由器本身就可以发现或者预测上述两项潜在串扰故障.当出现潜在串扰缺陷时,这些潜在串扰可以通过错开信号跳变时刻来容忍.但是,如果多个信号的跳变时刻被同时调整,这些信号将会再次相互影响,导致新的串扰效应.因此,STTA 方法设计了两种规则 R1 和 R2,用于调整信号跳变的发生时刻,容忍潜在串扰 L1 和 L2.

R1. 当两个相邻导线出现反向信号跳变时,只有发生下降跳变的信号被提前发射.

R2. 如果中间导线被预测有尖峰缺陷,它上边 (左边) 的侵略者线上的信号需要被提前.

3.2 基于 STTA 的容错电路

为了容忍片上网络总线上的串扰故障,容错路

由器在每个输入端的缓存上,都插入了基于 STTA 容错原理的控制电路.在 7 位片上网络中,STTA 控制电路的系统框图及数据流图见图 4.首先,控制器可以在数据缓存中分别读入待发射和刚发送的向量,如图 4a 所示.然后,控制器通过元件 C1 和 C2,分析向量间潜在的串扰故障,其中元件 C1 和 C2 是根据潜在串扰 L1 和 L2 设计的.接着,元件 C1 和 C2 的分析结果根据调整规则 R1 和 R2,被分配到 4 个或门上.最后,根据或门的输出信号,STTA 电路通过 MUX 组选择时钟 clock 信号,调整输出信号的跳变时间.当或门输出有效时,提早时钟 clock_se 就被用于对应的向量位上,这些信号也就被提前发到片上网络的通道中了.

例如,在图 4a 中,向量“0001111”和“1010000”已经存储在数据缓存中,向量“0001111”是即将发送的信号.向量“0010000”已经发送到通道中,但是还没有被立即删除.控制器分析向量“0010000”和“0001111”,发现向量“0001111”中相邻的第 3 和第 4 位将会出现反向信号跳变,而且第 3 位是下降跳变,这时第 3 个 C1 单元有效了.根据规则 R1,第 3 位信号需要被提前发出,这样第 3 个或门输出信号 1.这样,输出向量的第 3 个寄存器选用提早时钟 clock_se,它的信号被提前发出,如图 4b 所示.当向量“0001111”发送到通道里并且作为刚发送向量时,控制器分析向量“0001111”和“1010000”,发现向量的第 4 位存在潜在串扰 L1,向量的第 2 位存在潜在串扰 L2,这样第 3 个 C1 元件和第 1 个 C2 元件有效.根据规则 R1,向量“1010000”的第 4 位信号需要被提前发送.同时,根据规则 R2,第 1 位信号也需要被提前发送.因此,第 1 个和第 4 个或门输出信号 1,它们的信号就被提前发送,如图 4b 所示.借助 STTA 电路,容错路由器可以避免串扰效应导致的路由错误和负载错误.

3.3 DICE 容错电路

为了避免 SEU 在内部状态和控制寄存器上导致的崩溃错误,以及在数据缓存上导致路由错误和负载错误,以往的容错路由器^[10-13]通常在电路级直接采用三模冗余的方式进行容错.这样,每个内部寄存器都增加了 2 个备份寄存器以及 1 组表决电路.由于采用电路级的容错方法,容错设计引入大量的面积与功耗开销.为了减少容错的面积和功耗开销,基于 STTA 的容错方法引入了器件级容错方法,容忍 SEU 导致的故障.在基于 STTA 的容错路由器中,所有寄存器都采用 DICE^[8]进行加固.

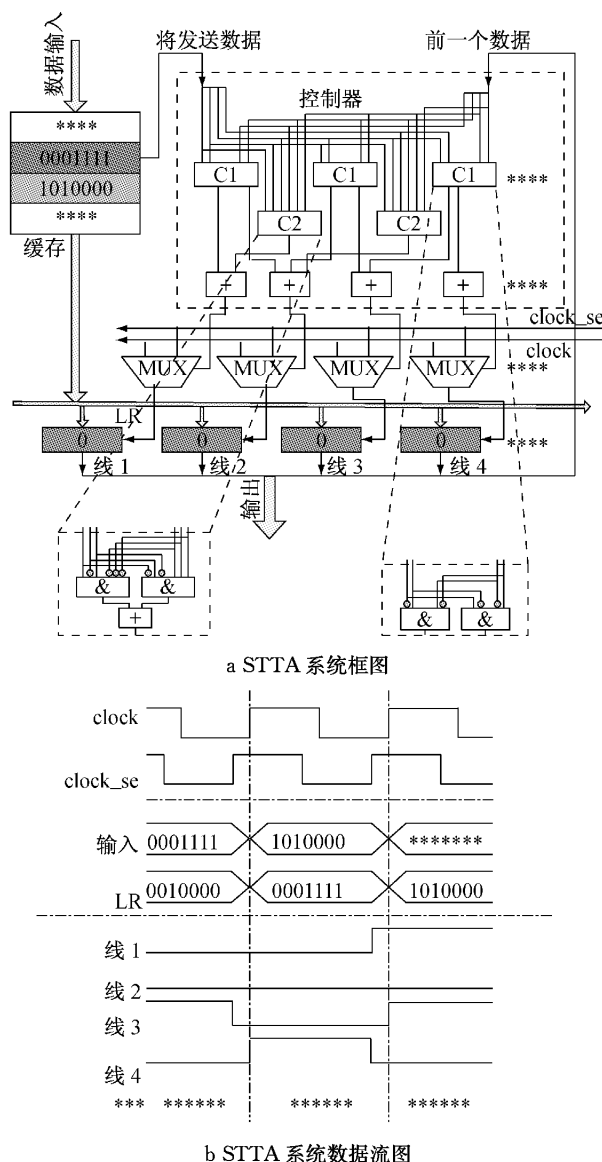


图 4 STTA 系统框图与数据流图

Fig. 4 System framework and data flow of STTA

如图 5a 所示,DICE^[8]是由 4 个互补金属氧化物半导体(CMOS)拼接构成.每个 CMOS 包含 2 个输入 pin 和 nin,分别对应 CMOS 中 P 沟道金属氧化物半导体(PMOS)管和 N 沟道金属氧化物半导体(NMOS)管的输入.当 pin 取值为 0 时 PMOS 管导通,而取值为 1 时 PMOS 管截断;当 nin 取值为 1 时 NMOS 管导通,而取值为 0 时截断.在 CMOS 中,当 pin 和 nin 取相同值时,PMOS 管和 NMOS 管只有 1 个是导通的,这时 CMOS 将产生稳定的输出信号;当 pin 取值为 0 且 nin 取值为 1 时,PMOS 管和 NMOS 管将同时导通,这时 CMOS 的输出值不确定;当 pin 取值为 1 且 nin 取值为 0 时,PMOS 管和 NMOS 管同时截断,CMOS 处于关闭状态.

由于 SEU 故障只使寄存器中 1 个 CMOS 的输

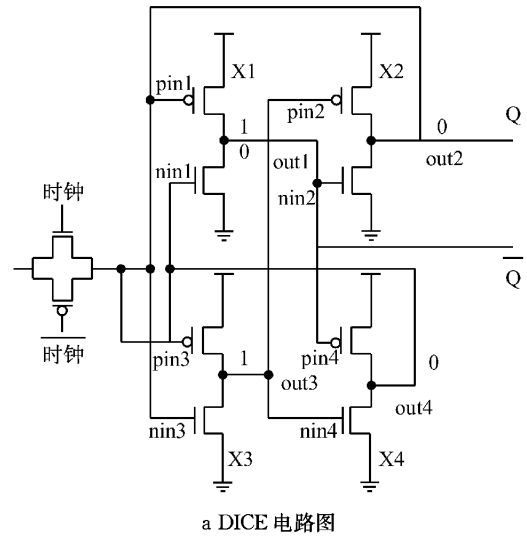
出信号在短时间出现翻转. 因此, 器件级容错设计完全可以利用 PMOS 管和 NMOS 管同时截断以及 CMOS 的关闭状态来阻断 SEU 影响的传播. 在图 5a 中, 单元 X1 的 out1 作为单元 X2 的 nin2 和单元 X4 的 pin4 的驱动信号, 而单元 X3 的 out3 作为单元 X2 的 pin2 和单元 X4 的 nin4 驱动信号. 同理, 单元 X2 和 X4 的输出信号作类似的连接. 在器件正常工作时, 单元 X1 和 X3 将输出相同值, 并确保与单元 X2 和 X4 的输出信号互斥. 因此, DICE 内部就形成了双内锁结构. 一旦 SEU 导致某个 CMOS 的输出信号出现翻转, 这种双内锁结构将关闭该 CMOS 相邻的 2 个 CMOS. 这样, SEU 导致的错误信号就被屏蔽了, 无法传播到其他 CMOS. 当 SEU 的影响消失后, 正确的 CMOS 又通过双内锁结构将错误信号恢复, 最终容错 SEU 导致的信号翻转.

由于大多数半导体器件公司并没有将 DICE 作为标准库单元, 因此如果容错设计需要采用这些 DICE, 那么需要对 DICE 进行全定制设计. 图 5b 给出了采用商业工具 Virtuoso 进行 DICE 全定制设计的流程, 主要分为以下五个步骤: 第 1 步, 绘制 DICE 的电路图, 并且根据工艺说明书, 初始化 DICE 的参数; 第 2 步, 仿真 DICE 的电路, 确定器件是否符合功能要求, 如果功能不符合则返回第 1 步电路图设计; 第 3 步, 绘制 DICE 的版图, 并且进行设计规则检查(DRC), 判定版图文件是否存在设计违规, 如果出现违规需要重新设计版图; 第 4 步, 抽取版图文件的参数, 并验证版图和逻辑图是否匹配, 判定 DICE 的版图文件和电路图文件是否等价, 如果等价则需要重新进行版图设计; 第 5 步, 形成 DICE 库单元进行容错路由器设计.

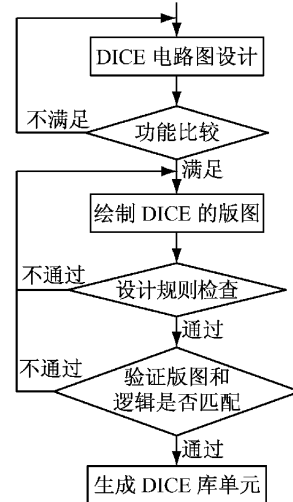
当设计容错路由器时, 片上网络中 5 个缓存的数据寄存器都需要采用 DICE 加固. 此外, 缓存的握手状态机和交换控制单元的仲裁状态机都有众多的内部寄存器. 其中, 在缓存中, 握手状态机包含状态寄存器、指针寄存器、计数器和用于握手的输出状态寄存器, 它们都需要采用 DICE 进行容错; 在交换控制单元的仲裁状态机中, 包含状态寄存器、源和目的寄存器及输出信号寄存器, 也都需要用 DICE 进行容错.

4 实验结果

本节将详细介绍基于 STTA 的容错路由器的面积与功耗开销, 以及当串扰故障和 SEU 故障发生时



a DICE 电路图



b DICE 全定制流程

图5 DICE 电路图与全定制开发流程

Fig.5 DICE circuit and full-custom design flow

这种路由器的容错性能. 同时, 设计了原始路由器、TS-HC-TMR^[10-11]路由器和 SCAC-TMR^[12-13]路由器, 并且给出了它们的面积和功耗开销. 其中, 原始路由器作为进行面积和功耗开销比较时的参照. 以数据包长度等于 7 的片上网络为例, 头包的 4 位用于目标地址, 3 位表示负载大小. 当采用 TS-HC-TMR 方法时, 7 位延迟采样寄存器路由器^[10-11]被插入到路由器每个输入缓存前, 然后延迟采样寄存路由器的输出通过编码器 HC(7, 11)转化成海明编码, 并存储在宽度为 11 位的缓存中. 最后, 11 位海明纠错电路同时设置在交换控制单元内和路由器输出端口上, 纠正数据寄存器中 SEU 导致的故障. 当采用 SCAC-TMR 方法时, SCAC 的编解码电路被添加到片上网络的本地接入端口上. 在上述两种方法中, 路由器内部所有的状态和控制寄存器都采用三模冗余, 容忍 SEU 导致的信号翻转故障. 当采用基于

STTA 的方法时,5 个 7 位的 STTA 电路被插入到路由器的 5 个数据缓存上,为路由器设置 1 个时钟生成器,同时它内部所有的状态和控制寄存器都采用 DICE,容忍 SEU 导致的故障。

4.1 容错路由器的面积与功耗开销

四种路由器(原始路由器、TS-HC-TMR 容错路由器、SCAC-TMR 容错路由器、基于 STTA 的容错路由器)都采用 SMIC180 的工艺库,在商业综合工具(design compiler)中进行了综合,最后综合工具报告了四种路由器的面积和功耗开销,并列在表 1 中。其中,基于 STTA 的容错路由器采用基于 DICE 的寄存器进行综合。当采用基于 STTA 方法时,STTA 重用片上网络的特征进行容错设计,本身的硬件开销较小,而且直接采用器件级容错方法 DICE,用以容忍 SEU 导致的故障。因此,基于 STTA 的路由器只要在原始路由器的基础上,增加 46%的面积开销和 70%的功耗开销。与以前的两种容错路由器相比,本文设计的容错路由器可减少至少 93%(=146%~239%)的面积开销和减少至少 55%(=170%~225%)的功耗开销,有效地解决了以往容错路由器面积和功耗开销过大的问题。

表 1 容错路由器的面积和功耗

Tab.1 Area overhead and power dissipation of reliable routers

容错 路由器	面积开销		功耗	
	总面积/ μm^2	百分比/%	总功耗/ mW	百分比/%
原始路由器	31 674	100	2.08	100
TS-HC-TMR 路由器	82 056	259	4.88	235
SCAC-TMR 路由器	75 556	239	4.67	225
基于 STTA 的 路由器	46 345	146	3.54	170

4.2 基于 STTA 的路由器的容错性能

当总线上出现串扰故障或 SEU 在寄存器中导致信号翻转故障时,基于 STTA 的路由器的容错性能,将通过采用商用工具 HSpice 信号进行模拟,并定量地展示。因为串扰效应主要导致时延故障,所以采用商用工具 HSpice 信号解决总线上的串扰时延故障。首先,7 位总线通过 HSpice 中 U 模型生成,在 180 nm 工艺下 1 mm 长总线的物理参数被载入到这个总线模型中。然后,输入向量对 (0101111, 1010000)作为这个总线模型的输入。在这个向量对中,第 2 位和第 3 位信号将会出现最严重的串扰时延。根据 STTA 规则 R1,第 2 位和第 4 位信号需要

提前发送,来容忍串扰故障。图 6 展示了经 STTA 调整前后,第 2 位和第 3 位信号的输出波形,其中时延正常时信号的下降跳变被作为参照^[7]。如图 6 所示,与 STTA 调整前第 2 位信号上的串扰时延相比,STTA 调整后信号的时延显著减少了。同时,尽管没有调整第 3 位信号,但是由于相邻信号的跳变被错开,第 3 位信号的串扰时延也消失了。因此,STTA 可以有效地容忍总线上串扰导致的故障。

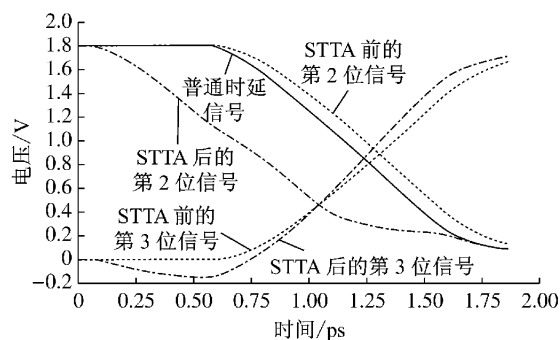


图 6 STTA 前后的输出信号波形

Fig.6 Output signals before and after STTA

图 7 显示了容错路由器中,当某个 DICE 受到 SEU 影响后,它的内部信号在 HSpice 仿真时的结果。当 DICE 的输入信号为 0 时,正常工作下 4 个内部 CMOS 分别输出 1,0,1 和 0,如图 5a 所示。假设单元 X1 的输出 out1 受到 SEU 的影响,它的值突然从 1 变成了 0。out1 信号的变化使得 X4 的 PMOS 导通,X4 的输出不再为 0,如图 7 所示,X4 的输出将不再使 X3 的 PMOS 导通。同时 X3 的 NMOS 已经是截断的,这样 X3 就被关闭,SEU 的影响也被隔离。同理,X1 的输出会使 X2 的 NMOS 截断。同时 X2 的 PMOS 已经截断,这样 X2 也关闭,SEU 影响的另一个传播途径也被隔离。一旦 SEU 影响消失,X2 和 X3 的输出信号会使 X1 和 X4 的输出信号恢复到原来的值,如图 7 所示。因此,基于 STTA 的容错路由器可以容忍寄存器上 SEU 导致的信号翻转。

针对总线上的串扰故障,基于 STTA 方法可以容忍总线上出现的大时延,比 TS-HC-TMR 更适用于高速电路。与 SCAC-TMR 相比,基于 STTA 方法不需要添加额外的导线。针对 SEU 导致的信号翻转故障,基于 STTA 方法不需要大量冗余电路,也可以有效地容忍这种故障。

5 结语

本文设计了一种基于 STTA 方法的容错路由

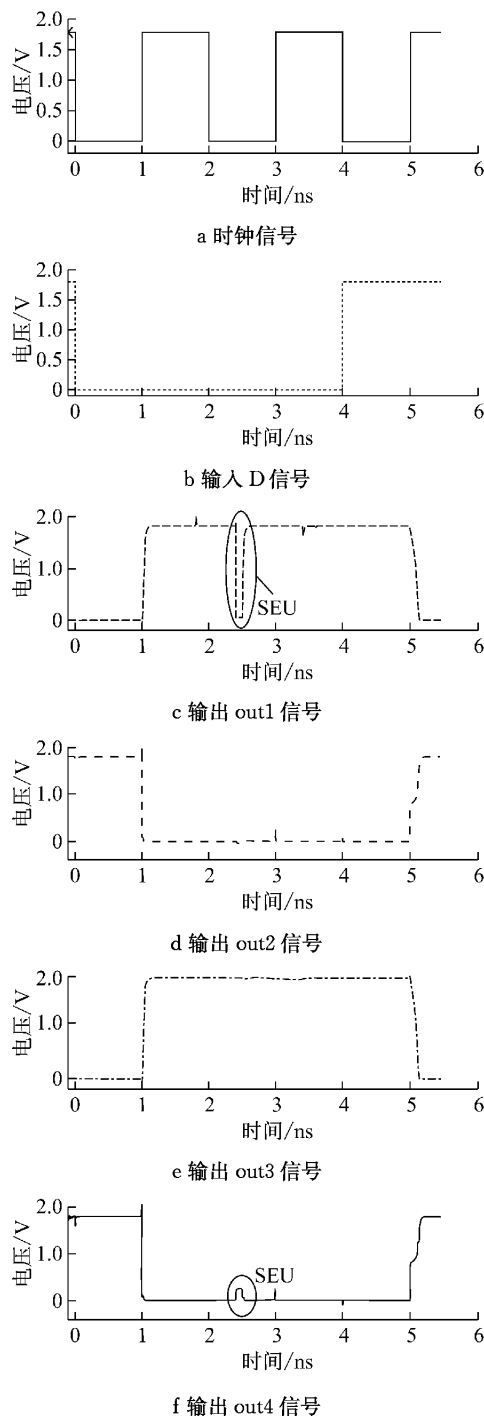


图7 基于STTA的路由器受到SEU的影响

Fig.7 SEU in STTA-based router

器。这种方法首先借助片上网络的特征预测总线上串扰故障,然后调整信号跳变的发生时间,容忍总线上的串扰故障。它不需要添加额外的导线,而且控制电路也比较简单。同时,采用DICE保护的寄存器,成功地屏蔽了SEU导致的故障。与TS-HC-TMR和SCAC-TMR方法相比,本方法至少减少了93%的面积开销和55%的功耗开销,解决了容错路由器开销过大的问题。

参考文献:

- [1] Cheng Y, Zhang L, Han Y, *et al.* Thermal-constrained task allocation for interconnect energy reduction in 3-D homogeneous MPSoCs [J]. IEEE Transactions on VLSI Systems, 2013, 21: 239.
- [2] Jun M, Ro W, Chung E. Exploiting implementation diversity and partial connection of routers in application-specific network-on-chip topology synthesis[J]. IEEE Transactions on Computers, 2014, 63: 1434.
- [3] Semiconductor Industry Association. The International Technology Roadmap for Semiconductors[EB/OL]. [2013-05-20]. <http://www.itrs.net/>.
- [4] Cuvillo M, Dey S, Bai X, *et al.* Fault modeling and simulation for crosstalk in system-on-chip interconnects[C] // Proceeding of Design Automation Conference. Atlanta, GA: ACM/IEEE Computer Society, 1999: 297-303.
- [5] Flayyih W N, Samsudin K, Hashim S J, *et al.* Crosstalk-aware multiple error detection scheme based on two-dimensional parities for energy efficient network on chip [J]. IEEE Transactions on Circuits and Systems, 2014, 61: 2034.
- [6] Xuan S, Li N, Tong J. SEU hardened flip-flop based on dynamic logic [J]. IEEE Transactions on Nuclear Science, 2013, 60: 3932.
- [7] Zhang Y, Li H, Min Y, *et al.* Selected transition time adjustment for tolerating crosstalk effects on network-on-chip interconnects[J]. IEEE Transactions on VLSI Systems, 2011, 19: 1787.
- [8] Hazucha P, Karnik T, Walstra S, *et al.* Measurements and analysis of SER-tolerant latch in a 90-nm dual-VT CMOS process[J]. IEEE Journal of Solid-State Circuits, 2004, 39: 617.
- [9] PUCRS. Hermes [EB/OL]. [2013-05-20]. <http://www.inf.pucrs.br/~calazans/research/Projects/Hermes/Hermes.html>.
- [10] Frantz A P, Cassel M, Kastensmidt F L, *et al.* Crosstalk-and SEU-aware networks on chips [J]. IEEE Design & Test of Computers, 2007, 24: 340.
- [11] Frantz A P, Kastensmidt F L, Carro L, *et al.* Dependable network-on-chip router able to simultaneously tolerate soft errors and crosstalk [C] // Proceeding of International Test Conference. Santa Clara, CA: IEEE Computer Society, 2006: 1-9.
- [12] Zhang Y, Li H, Li X. Reliable network-on-chip router for crosstalk and soft error tolerance [C] // Proceeding of Asian Test Symposium. Sapporo: IEEE Computer Society, 2008: 438-443.
- [13] Zhang Y, Li H, Li X. Selected crosstalk avoidance code for reliable network-on-chip [J]. Journal of Computer Science and Technology, 2009, 24: 1074.
- [14] Zhang Y, Li H, Li X, *et al.* Codeword selection for crosstalk avoidance and error correction on interconnects [C] // Proceeding of VLSI Test Symposium. San Diego, CA: IEEE Computer Society, 2008: 377-382.
- [15] Dally W J, Towles B. Route packets, not wires: on-chip interconnection networks [C] // Proceeding of Design Automation Conference. San Diego, CA: ACM/IEEE Computer Society, 2001: 684-689.